

PAT-NO: JP406196824A
DOCUMENT-IDENTIFIER: JP 06196824 A
TITLE: MANUFACTURE OF SEMICONDUCTOR ELEMENT
PUBN-DATE: July 15, 1994

INVENTOR-INFORMATION:

NAME
IWAI, NORIHIRO
HIRATANI, YUJI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FURUKAWA ELECTRIC CO LTD:THE	N/A

APPL-NO: JP04358132

APPL-DATE: December 24, 1992

INT-CL (IPC): H01S003/18, H01L021/52

US-CL-CURRENT: 372/43

ABSTRACT:

PURPOSE: To provide a manufacture of a semiconductor element, the lifetime of which is lengthened, by simplifying a process, improving production yield and enhancing heat-dissipating properties.

CONSTITUTION: An electrode 12 is formed onto a surface on the epitaxial side of an epitaxial wafer 11 for a semiconductor element, an insulating film 18 pattern is shaped onto the surface of the electrode 12, gold-plated layer pads 14 thicker than an insulating film 18 are formed onto the surface of the electrode 12, and the epitaxial wafer 11 is die-bonded on a heat sink 15 mounted on a stem 16 on the surface on the epitaxial side.

COPYRIGHT: (C) 1994, JPO&Japio

(51)IntCl⁵
H 0 1 S 3/18
H 0 1 L 21/52

識別記号
D 7376－4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 1 (全 3 頁)

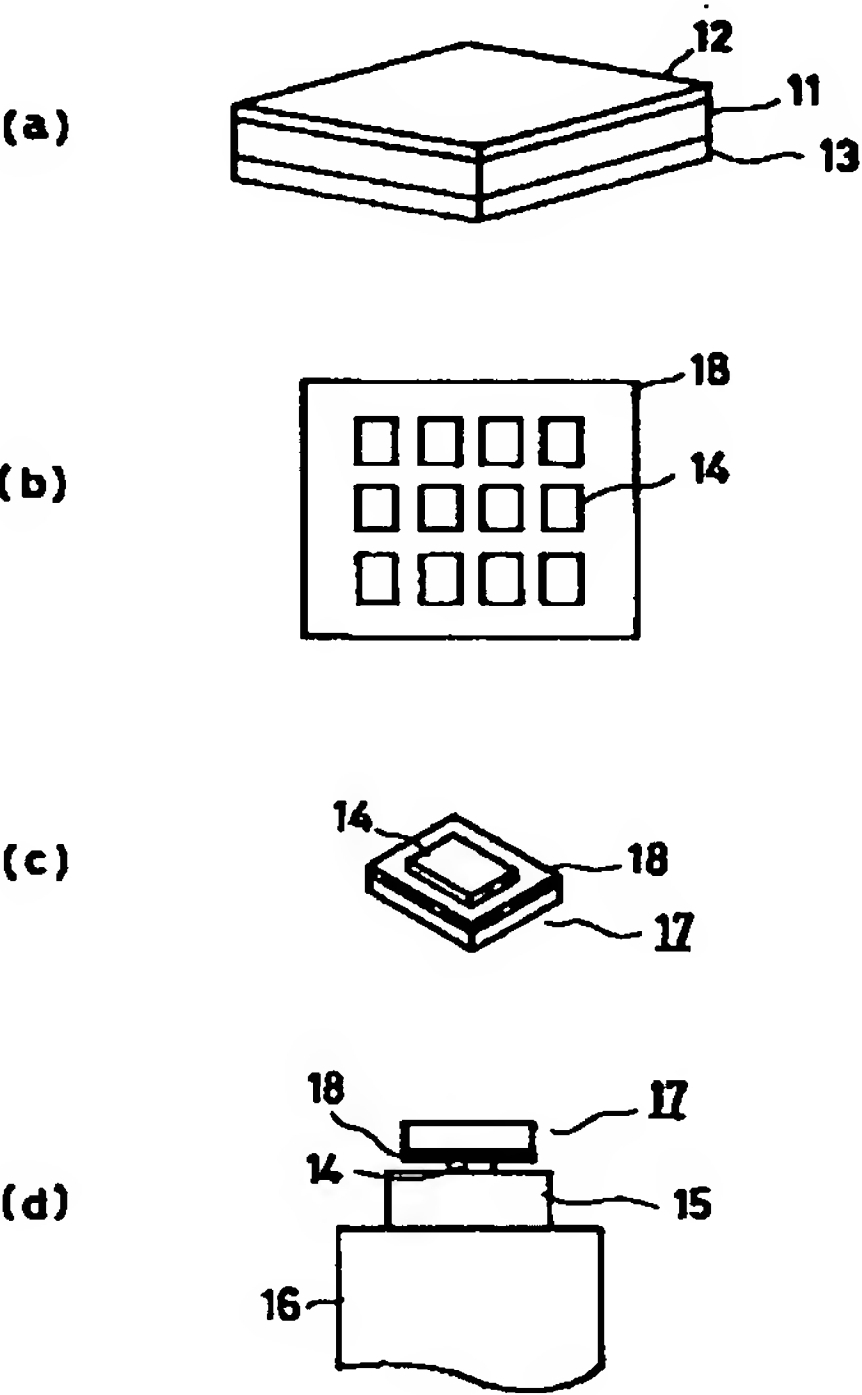
(21)出願番号	特願平4－358132	(71)出願人	000005290 古河電気工業株式会社 東京都千代田区丸の内 2 丁目 6 番 1 号
(22)出願日	平成 4 年(1992)12月24日	(72)発明者	岩井 則広 東京都千代田区丸の内 2 丁目 6 番 1 号 古河電気工業株式会社内
		(72)発明者	平谷 雄二 東京都千代田区丸の内 2 丁目 6 番 1 号 古河電気工業株式会社内

(54)【発明の名称】 半導体素子の製造方法

(57)【要約】

【目的】 工程が簡略化して製造歩留りが向上し、また、放熱性がよくなるので素子の寿命が長くなる 半導体素子の製造方法を提供する。

【構成】 半導体素子用エピウェハ 1 1 のエピ側の面上に電極 1 2 を設け、次いで、前記電極 1 2 面上に絶縁膜 1 8 パターンを形成し、次いで、前記電極 1 2 面上に前記絶縁膜 1 8 よりも厚い金メッキ層パッド 1 4 を形成し、次いで、上記エピウェハ 1 1 を、エピ側の面で、システム 1 6 に取り付けられたヒートシンク 1 5 上にダイボンディングする。



【特許請求の範囲】

【請求項1】 半導体素子用エピウェハのエピ側の面上に電極を設け、次いで、前記電極面上に絶縁膜パターンを形成し、次いで、前記電極面上に前記絶縁膜よりも厚い金メッキ層パッドを形成し、次いで、上記エピウェハを、エピ側の面で、ステムに取り付けられたヒートシンク上にダイボンディングすることを特徴とする半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体素子の製造方法に関する。

【0002】

【従来技術】従来、エピサイドダウンでダイボンディングする半導体レーザ素子は、例えば、図2に示す以下のような方法で製作されていた。即ち、

1) 先ず、BH構造を有する半導体レーザ用エピウェハ1を用意し、そのエピ側の面上にp電極2を、基板側の面上にn電極3を設ける(図2(a))。

2) フトリソグラフィの手法により、レジストのパターンをp電極2上に形成する。次いで、p電極2上に厚さ5 μ mの金メッキを施した後、レジストを除去し、島状の金パッド4を形成する(図2(b))。

3) 次いで、上記処理を施したウェハ1を、へき開によりチップ7を形成する。次いで、このチップ7を、エピ側、即ち、p電極2側を下にして、ステム6に取り付けられたヒートシンク5上に、Au-Sn半田でダイボンディングする(図2(c))。

4) 最後に、電流注入用ワイヤーを取り付け、キャンを被せる。

【0003】

【発明が解決しようとする課題】しかしながら、上述の半導体レーザ素子の製造方法には、次のような問題があった。即ち、

1) チップをダイボンディングする際に、Au-Sn半田がチップエピ側の電極の外側に回り込み、電極以外のチップ部分とAu-Sn半田がショートする恐れがある。

2) 前記ショートを避けるためには、金パッドを10 μ m以上に厚くする必要があるが、そうすると、コストが上昇する。

【0004】

【課題を解決するための手段】本発明は上記問題点を解決した半導体素子の製造方法を提供するもので、半導体素子用エピウェハのエピ側の面上に電極を設け、次いで、前記電極面上に絶縁膜パターンを形成し、次いで、前記電極面上に前記絶縁膜よりも厚い金メッキ層パッドを形成し、次いで、上記エピウェハを、エピ側の面で、ステムに取り付けられたヒートシンク上にダイボンディングすることを特徴とするものである。

【0005】

【作用】上述のように、エピウェハのエピ側の面上に電極を設け、次いで、前記電極面上に絶縁膜パターンを形成し、次いで、前記電極面上に前記絶縁膜よりも厚い金メッキ層パッドを形成する。そうすると、エピウェハのエピ側の面は金メッキ層パッド以外の部分が電気絶縁性のある膜で被われているため、ダイボンディングに用いる半田がチップエピ側の電極の外側に回り込んでも、電極以外のチップ部分と半田がショートする恐れはない。

10 そのため、金メッキ層パッドの厚さも薄く(1~2 μ m程度)することができ、コストを低減することができる。さらに、ヒートシンクに接触している絶縁膜を通じて発熱を逃がすことができ、放熱性がよくなる。

【0006】

【実施例】以下、図面に示した実施例に基づいて本発明を詳細に説明する。図1は、本発明にかかる半導体レーザ素子の製造方法の一実施例の工程説明図である。その工程は以下の通りである。即ち、

1) 先ず、BH構造を有する半導体レーザ用エピウェハ11を用意し、そのエピ側の面上にp電極12を、基板側の面上にn電極13を設ける(図2(a))。

2) フトリソグラフィの手法により、厚さ1 μ mのエポキシ樹脂膜18のパターンをp電極2上に形成する。

3) 次いで、p電極12上に厚さ1~1.5 μ mの金メッキを施し、エポキシ樹脂膜18よりも厚い島状の金パッド14を形成する(図2(b))。

4) 次いで、上記処理を施したエピウェハ11をへき開し、チップ17を形成する(図2(c))。

30 5) 次いで、このチップ17を、エピ側、即ち、p電極12側を下にして、ステム16に取り付けられたヒートシンク15上に、Au-Sn半田でエピサイドダウンダイボンディングする(図2(d))。

なお、本発明は上記実施例に限定されず、LEDなどのエピサイドダウンボンディングを必要とする素子に適用でき、絶縁膜もエポキシ樹脂に限定されることはない。

【0007】

【発明の効果】以上説明したように本発明によれば、半導体素子用エピウェハのエピ側の面上に電極を設け、次いで、前記電極面上に絶縁膜パターンを形成し、次いで、前記電極面上に前記絶縁膜よりも厚い金メッキ層パッドを形成し、次いで、上記エピウェハを、エピ側の面で、ステムに取り付けられたヒートシンク上にダイボンディングするため、エピウェハとヒートシンク間の電氣的ショートを確実に防ぐことができるので、製造歩留りが向上し、また、放熱性がよくなるので素子の寿命が長くなり、さらに、従来に比較して、レジストを除去する工程がなくなり、金パッドの厚さが薄くなるので、コストが低減するという優れた効果がある。

【図面の簡単な説明】

50 【図1】(a)~(d)は、本発明に係る半導体レーザ

3

素子の製造方法の一実施例の工程説明図である。

【図2】(a)～(c)は、従来の半導体レーザ素子の製造方法の工程説明図である。

【符号の説明】

11 エピウェハ

12、13 電極

14

15

16

17

18

4

金パッド

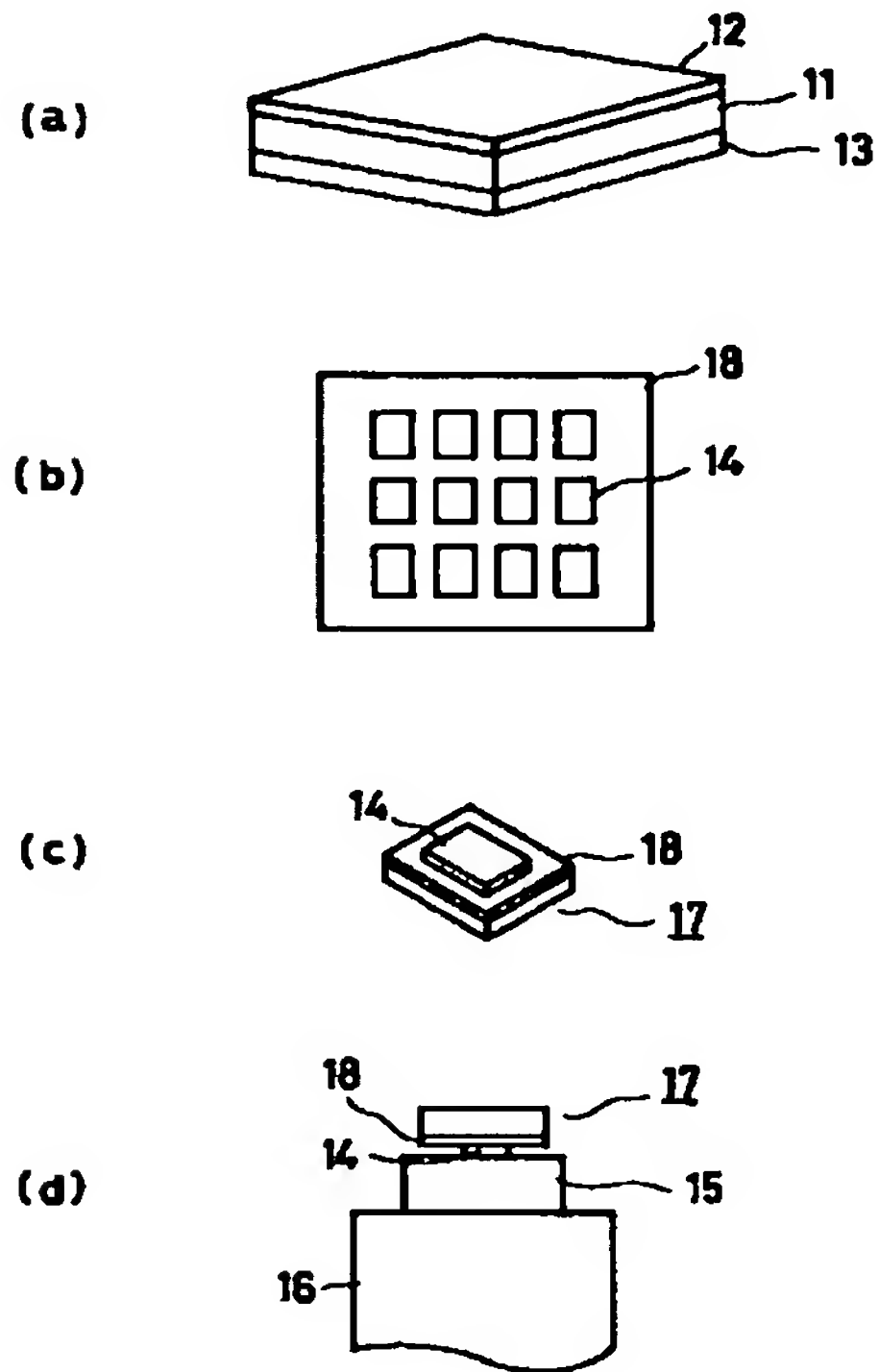
ヒートシンク

ステム

チップ

エポキシ樹脂膜

【図1】



【図2】

